

Docket No.: 57810-096

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Kunio TAKEUCHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 29, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR LASER DEVICE AND METHOD OF FABRICATING THE SAME		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENTS**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-093976, filed March 31, 2003
Japanese Patent Application No. 2003-337877, filed September 29, 2003

cited in the Declaration of the present application. Certified copies are submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 AJS:tlb
Facsimile: (202) 756-8087
Date: March 29, 2004

57810-094
TAKEUCHI, et al.
March 29, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 9月29日

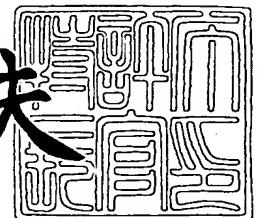
出 願 番 号
Application Number: 特願2003-337877
[ST. 10/C]: [JP2003-337877]

出 願 人
Applicant(s): 三洋電機株式会社

2004年 2月16日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3009510

【書類名】 特許願
【整理番号】 NPA1030016
【提出日】 平成15年 9月29日
【あて先】 特許庁長官殿
【国際特許分類】 H01S 5/22
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 亀山 真吾
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 廣山 良治
【発明者】
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内
 【氏名】 太田 潔
【特許出願人】
 【識別番号】 000001889
 【氏名又は名称】 三洋電機株式会社
【代理人】
 【識別番号】 100098305
 【弁理士】
 【氏名又は名称】 福島 祥人
 【電話番号】 06-6330-5625
【手数料の表示】
 【予納台帳番号】 032920
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0006012

【書類名】 特許請求の範囲**【請求項 1】**

活性層を含む第 1 の半導体層と、

前記第 1 の半導体層上に形成され、第 2 の半導体層からなるストライプ状のリッジ部と

、
前記第 1 の半導体層上において前記リッジ部の少なくとも一方側に間隔をおいて設けられた凸部と、

前記リッジ部の上面を除いて、前記リッジ部の両側面、前記凸部の両側面および前記リッジ部と前記凸部との間の領域に設けられ、半導体からなる電流ブロック層とを備え、

前記リッジ部の下端と前記凸部の下端との間隔が $20\ \mu\text{m}$ 以上であることを特徴とする半導体レーザ素子。

【請求項 2】

前記リッジ部の下端と前記凸部の下端との間隔が $100\ \mu\text{m}$ 以下であることを特徴とする請求項 1 記載の半導体レーザ素子。

【請求項 3】

前記電流ブロック層はアルミニウムを含む化合物半導体からなることを特徴とする請求項 1 または 2 記載の半導体レーザ素子。

【請求項 4】

前記電流ブロック層は、前記凸部の上面にも設けられたことを特徴とする請求項 1～3 のいずれかに記載の半導体レーザ素子。

【請求項 5】

活性層を含む第 1 の半導体層を形成する工程と、

前記第 1 の半導体層上に第 2 の半導体層からなるストライプ状のリッジ部および凸部を互いに間隔をおいて設ける工程と、

前記リッジ部の上面を除いて、前記リッジ部の両側面、前記凸部の両側面および前記リッジ部と前記凸部との間の領域に半導体からなる電流ブロック層を形成する工程とを備え、

、
前記リッジ部および前記凸部を設ける工程は、前記リッジ部の下端と前記凸部の下端との間隔を $20\ \mu\text{m}$ 以上に設定することを含むことを特徴とする半導体レーザ素子の製造方法。

【請求項 6】

前記リッジ部および前記凸部を設ける工程は、前記リッジ部の下端と前記凸部の下端との間隔を $100\ \mu\text{m}$ 以下に設定することを含むことを特徴とする請求項 5 記載の半導体レーザ素子の製造方法。

【請求項 7】

前記第 1 の半導体層を形成する工程ならびに前記リッジ部および前記凸部を互いに間隔をおいて設ける工程は、

前記活性層を含む第 1 の半導体層ならびに前記リッジ部および前記凸部を第 1 の結晶成長により形成する工程を含み、

前記電流ブロック層を形成する工程は、

前記リッジ部の上面に誘電体マスクを形成する工程と、

前記誘電体マスク上を除いて、前記リッジ部の両側面、前記凸部の両側面および前記リッジ部と前記凸部との間の領域に電流ブロック層を第 2 の結晶成長により形成する工程とを含むことを特徴とする請求項 5 または 6 記載の半導体レーザ素子の製造方法。

【書類名】 明細書**【発明の名称】 半導体レーザ素子およびその製造方法****【技術分野】****【0001】**

本発明は、リッジ構造を有する半導体レーザ素子およびその製造方法に関するものである。

【背景技術】**【0002】**

近年、パーソナルコンピュータおよびマルチメディア機器の高性能化に伴い、処理対象となる情報量が著しく増加している。情報量の増加に伴い、大容量化および情報処理の高速化に対応した光学式記録媒体およびその駆動装置が開発されている。

【0003】

特に、光学式記録媒体に対して読み書きが可能なCD-R（コンパクトディスクレコーダブル）ドライブ、MO（マグネットオプティック）ドライブ、DVD（デジタルバーサタイルディスク）ドライブ等の光学式記録媒体駆動装置においては、半導体レーザ素子が用いられている。

【0004】

この半導体レーザ素子の分野においては、従来より高出力化が求められてきた。

【0005】

半導体レーザ素子の高出力化を実現するためには、COD（カタストロフィックオプティカルダメージ：Catastrophic Optical Damage：レーザ端面の溶解破壊）の発生の防止、キンク（光出力－電流特性の折れ曲り）の低減および温度特性（発熱時における放熱性能）の改善が必要とされている。

【0006】

ここで、従来においては、順メサリッジの基底部の幅を狭くして横モードの安定性を確保し、かつクラッド層の厚みを十分確保して光の吸収ロスを少なくしつつ、電流ブロック層ではさまれた順メサリッジ頂上部の素子抵抗を減少させることにより高出力化を図った半導体レーザ素子が提案されている（例えば、特許文献1参照）。

【0007】

このような半導体レーザ素子は、リッジ部の幅を狭くすることにより形状が凸形状となる。ここで、例えば、凸形状の半導体レーザ素子をジャンクションダウンの構造で組み立てる場合、半導体レーザ素子の凸部（電極）をサブマウントまたはヒートシンク上に取り付ける必要がある。

【0008】

ここで、半導体レーザ素子が傾斜してしまうと、電極とサブマウントまたはヒートシンクとの接触面積が小さくなり、接着強度の低下および放熱の不均一が生じる。また、半導体レーザ素子は凸部を介してサブマウントまたはヒートシンク上に接着されるので、リッジ部に応力が集中する。

【0009】

そこで、リッジ部周辺にリッジ部と同じまたはそれ以上の高さを有するストライプ状の段差部（リッジサポート部）を設けた構造を有する半導体レーザ素子がある（例えば、特許文献2参照）。この場合、段差部により半導体レーザ素子の組み立て時における傾斜が防止され、リッジ部に集中する応力が軽減される。

【特許文献1】 特開2000-244063号公報

【特許文献2】 特開2001-053382号公報

【発明の開示】**【発明が解決しようとする課題】****【0010】**

図6は従来の半導体レーザ素子の作製時における問題を説明するための図である。

【0011】

図6 (a) に示すように、半導体レーザ素子の製造時において、活性層および複数のクラッド層の上に形成されるリッジ部Rとともにリッジサポート部RSを形成した場合、リッジ部Rとリッジサポート部RSとの間のくぼみに、電流の流れる領域を制限するための電流ブロック層を選択的に埋め込み成長させる必要がある。

【0012】

そこで、図6 (b) に示すように、リッジ部R上に誘電体マスク（選択成長用マスク）Mを用いて電流ブロック層91を選択的に埋め込み成長させる。

【0013】

しかしながら、電流ブロック層91の成長過程においては、電流ブロック層91が誘電体マスクM上に回り込むように成長したり、誘電体マスクM上でポリ成長（多結晶成長）する場合がある。これにより、誘電体マスクMに電流ブロック層91の結晶91pが付着する。特に、電流ブロック層91がAl（アルミニウム）成分を含む場合、誘電体マスクM上への電流ブロック層91の回り込みおよびポリ成長が発生しやすくなる。

【0014】

この場合、誘電体マスクMをエッチング等により除去しても、生成された結晶91pがエッチングされず、取り除くことが困難であった。これにより、結晶91pがリッジ部R上に残留すると、半導体レーザ素子が高抵抗化する。

【0015】

本発明の目的は、簡単な構成で、高抵抗化を抑制しつつリッジ部側の電極を安定かつ確実に所定の取り付け面に取り付けることができる半導体レーザ素子およびその製造方法を提供することである。

【課題を解決するための手段】

【0016】

第1の発明に係る半導体レーザ素子は、活性層を含む第1の半導体層と、第1の半導体層上に形成され、第2の半導体層からなるストライプ状のリッジ部と、第1の半導体層上においてリッジ部の少なくとも一方側に間隔をおいて設けられた凸部と、リッジ部の上面を除いて、リッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に設けられ、半導体からなる電流ブロック層とを備え、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上であるものである。

【0017】

この場合、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上であることにより、電流ブロック層の形成時におけるリッジ部上面のマスクへの結晶の付着が低減されるので、リッジ部上面のマスクへの結晶の付着に伴う高抵抗化が抑制される。そして、高抵抗化が抑制されることにより電圧上昇が抑制される。

【0018】

また、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上とすることにより構成を複雑化することなく高抵抗化が抑制されている。

【0019】

さらに、リッジ部および凸部によりジャンクションダウンの構造の組み立てにおいて、所定の取り付け面への取り付けを安定かつ確実に行うことができる。

【0020】

リッジ部の下端と凸部の下端との間隔が $100\mu\text{m}$ 以下であってもよい。この場合、リッジ部の下端と凸部の下端との間隔が $100\mu\text{m}$ 以下であることにより、ジャンクションダウンの構造の組み立てにおいて、リッジ部と凸部との間に形成される電極の溝部にはんだが滑らかに回り込む。

【0021】

これにより、電極とサブマウントまたはヒートシンクとの間で空間が生じない。その結果、半導体レーザ素子において発生される熱がサブマウントまたはヒートシンクへ十分に放熱される。

【0022】

電流ブロック層はアルミニウムを含む化合物半導体からなってもよい。この場合、アルミニウムを含む化合物半導体からなる電流ブロック層の形成時には、リッジ部上面のマスクへ結晶が付着しやすいので、リッジ部上面のマスクへの結晶の付着を低減する効果が顕著となる。

【0023】

電流ブロック層は、凸部の上面にも設けられてもよい。この場合、凸部の上面に電流ブロック層が設けられることにより、凸部の上面から第1の半導体層への電流の注入が阻止される。

【0024】

第2の発明に係る半導体レーザ素子の製造方法は、活性層を含む第1の半導体層を形成する工程と、第1の半導体層上に第2の半導体層からなるストライプ状のリッジ部および凸部を互いに間隔をおいて設ける工程と、リッジ部の上面を除いて、リッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に半導体からなる電流ブロック層を形成する工程とを備え、リッジ部および凸部を設ける工程は、リッジ部の下端と凸部の下端との間隔を $20\ \mu\text{m}$ 以上に設定することを含むことを特徴とするものである。

【0025】

第2の発明に係る半導体レーザ素子の製造方法においては、活性層を含む第1の半導体層が形成され、第1の半導体層上に第2の半導体層からなるストライプ状のリッジ部および凸部が互いに間隔をおいて設けられ、リッジ部の上面を除いて、リッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に半導体からなる電流ブロック層が形成される。リッジ部および凸部を設ける際には、リッジ部の下端と凸部の下端との間隔は $20\ \mu\text{m}$ 以上に設定される。

【0026】

この場合、リッジ部の下端と凸部の下端との間隔が $20\ \mu\text{m}$ 以上であることにより、電流ブロック層の形成時におけるリッジ部上面のマスクへの結晶の付着が低減されるので、リッジ部上面のマスクへの結晶の付着に伴う高抵抗化が抑制される。そして、高抵抗化が抑制されることにより電圧上昇が抑制される。

【0027】

また、リッジ部の下端と凸部の下端との間隔が $20\ \mu\text{m}$ 以上とすることにより構成を複雑化することなく高抵抗化が抑制されている。

【0028】

さらに、リッジ部および凸部によりジャンクションダウンの構造の組み立てにおいて、所定の取り付け面への取り付けを安定かつ確実に行うことができる。

【0029】

リッジ部および凸部を設ける工程は、リッジ部の下端と凸部の下端との間隔を $100\ \mu\text{m}$ 以下に設定することを含んでもよい。この場合、リッジ部の下端と凸部の下端との間隔が $100\ \mu\text{m}$ 以下に設定されるので、ジャンクションダウンの構造の組み立てにおいて、リッジ部と凸部との間に形成される電極の溝部にはんだが滑らかに回り込む。

【0030】

これにより、電極とサブマウントまたはヒートシンクとの間で空間が生じない。その結果、半導体レーザ素子において発生される熱がサブマウントまたはヒートシンクへ十分に放熱される。

【0031】

第1の半導体層を形成する工程ならびにリッジ部および凸部を互いに間隔をおいて設ける工程は、活性層を含む第1の半導体層ならびにリッジ部および凸部を第1の結晶成長により形成する工程を含み、電流ブロック層を形成する工程は、リッジ部の上面に誘電体マスクを形成する工程と、誘電体マスク上を除いて、リッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に電流ブロック層を第2の結晶成長により形成する工程とを含んでもよい。

【0032】

この場合、第1の半導体層を形成する際ならびにリッジ部および凸部を互いに間隔をおいて設ける際には、活性層を含む第1の半導体層ならびにリッジ部および凸部が第1の結晶成長により形成され、電流ブロック層を形成する際には、リッジ部の上面に誘電体マスクが形成され、誘電体マスク上を除いて、リッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に電流ブロック層が第2の結晶成長により形成される。

【0033】

これにより、誘電体マスクによりリッジ部の両側面、凸部の両側面およびリッジ部と凸部との間の領域に電流ブロック層が選択的に成長される。また、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上となっているので、リッジ部上面の誘電体マスクへの結晶の付着が抑制される。

【発明の効果】

【0034】

本発明に係る半導体レーザ素子においては、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上であることにより、電流ブロック層の形成時におけるリッジ部上面のマスクへの結晶の付着が低減されるので、リッジ部上面のマスクへの結晶の付着に伴う高抵抗化が抑制される。そして、高抵抗化が抑制されることにより電圧上昇が抑制される。

【0035】

また、リッジ部の下端と凸部の下端との間隔が $20\mu\text{m}$ 以上とすることにより構成を複雑化することなく高抵抗化が抑制されている。

【0036】

さらに、リッジ部および凸部によりジャンクションダウンの構造の組み立てにおいて、所定の取り付け面への取り付けを安定かつ確実に行うことができる。

【発明を実施するための最良の形態】

【0037】

以下、本発明の一実施の形態に係る半導体レーザ素子およびその製造方法について図1～図5に基づき説明する。なお、以下の説明においては、上記半導体レーザ素子としてAlGaInP系半導体レーザ素子を説明する。

【0038】

(第1の実施の形態)

図1および図2は、第1の実施の形態に係るAlGaInP系半導体レーザ素子の構造および製造方法を示す模式的断面図である。また、図3は第1の実施の形態の説明で用いられる各種寸法を定義するための図である。

【0039】

第1の実施の形態に係る半導体レーザ素子は、次のように作製される。

【0040】

初めに、図1(a)に示すように、n型GaAs基板1上に、厚さ $0.3\mu\text{m}$ のn型GaInPバッファ層2、厚さ $2.0\mu\text{m}$ のn型AlGaInPクラッド層3、GaInP/AlGaInPからなるMQW活性層(量子井戸活性層)4、厚さ $0.3\mu\text{m}$ のp型AlGaInP第1クラッド層5、厚さ $1.2\mu\text{m}$ のp型AlGaInP第2クラッド層6、厚さ $0.1\mu\text{m}$ のp型GaInP中間層7および厚さ $0.3\mu\text{m}$ のp型GaAsコンタクト層8を、例えばMOCVD法(有機金属化学気相成長法)により順に形成する(多層基板形成工程)。

【0041】

次に、図1(b)に示すように、スパッタ法、真空蒸着法または電子線ビーム蒸着法等によりp型GaAsコンタクト層8上に厚さ $0.2\mu\text{m}$ のSiO₂誘電体膜9を堆積させる。そして、堆積されたSiO₂誘電体膜9の所定の領域をフォトリソグラフィ法により除去する(パターニング)。所定の領域とは、予め設定された後述のリッジ部およびリッジサポート部を除く領域である。これにより、所定の領域が除去されたSiO₂誘電体膜9が後述のエッチングによるリッジ部およびリッジサポート部の形成時にマスクとして用いられる。SiO₂誘電体膜9のエッチングはバッファード(緩衝)フッ酸により行う(

マスク形成工程)。

【0042】

続いて、図1(c)に示すように、パターンニングされた SiO_2 誘電体膜9をマスクとして、p型GaAsコンタクト層8、p型GaInP中間層7およびp型AlGaInP第2クラッド層6の所定の領域を選択的にエッチング(ウェットエッチングまたはドライエッチング)し、ストライプ状のリッジ部Rおよびリッジサポート部RSを形成する(リッジ形成工程)。

【0043】

リッジ部Rおよびリッジサポート部RSの形成は、例えば、p型GaAsコンタクト層8、p型GaInP中間層7およびp型AlGaInP第2クラッド層6の所定の領域を酒石酸系あるいはリン酸系のエッチング液によりウェットエッチングすることにより行う。この場合のエッチング深さは、例えば、 $1.3\mu\text{m}$ である。これにより、ストライプ状のリッジ部Rの両側には、所定間隔をおいて平行にストライプ状のリッジサポート部RSが形成される。

【0044】

その後、図2(d)に示すように、フォトリソグラフィ法およびエッチングにより、リッジサポート部RS上の SiO_2 誘電体膜9を除去する。 SiO_2 誘電体膜9のエッチングはバッファード(緩衝)フッ酸により行う(マスク除去工程)。

【0045】

次いで、図2(e)に示すように、リッジ部R上の SiO_2 誘電体膜9を選択成長用マスクとして、例えばMOCVD法によりp型AlGaInP第1クラッド層5、リッジサポート部RSの外表面およびリッジ部Rの側面に、厚さ $0.3\mu\text{m}$ のn型AlInP電流ブロック層11を形成する。ここで、n型AlInP電流ブロック層11はリッジ部R上の SiO_2 誘電体膜9により選択的に結晶成長する(ブロック層形成工程)。

【0046】

上記のn型AlInP電流ブロック層11の結晶成長の条件として、成長温度は 600°C 以上 700°C 以下であることが好ましく、成長圧力は 50Torr 以上 100Torr 以下であることが好ましい。

【0047】

最後に、図2(f)に示すように、エッチングによりリッジ部R上の SiO_2 誘電体膜9を除去し、スパッタ法、真空蒸着法または電子線ビーム蒸着法等により、リッジ部R上端のp型GaAsコンタクト層8上およびn型AlInP電流ブロック層11上の所定の領域にp型オーミック電極12を形成する。ここで、エッチングによりn型GaAs基板1の下面からp型オーミック電極12の上面までの厚みを $100\mu\text{m}$ とする。

【0048】

さらに、n型GaAs基板1の下面にスパッタ法、真空蒸着法または電子線ビーム蒸着法等によりn型オーミック電極13を形成する(電極形成工程)。

【0049】

なお、上記p型オーミック電極12としては、 $315\text{W}/\text{m}\cdot\text{K}$ (27°C)の熱伝導率を有するAu(金)等の高い熱伝導率を有し、放熱性に優れた材料を用いることが好ましい。これにより、第1の実施の形態に係る半導体レーザ素子が完成する。

【0050】

このように得られた半導体レーザ素子においては、p型オーミック電極12およびn型オーミック電極13に電圧を印加することによりn型AlGaInPクラッド層3からMQW活性層4に電子が注入され、p型AlGaInP第1クラッド層5からMQW活性層4に正孔が注入される。その結果、MQW活性層4から赤色のレーザ光が発生される。

【0051】

ここで、上記図1(b)のマスク形成工程におけるp型GaAsコンタクト層8上の SiO_2 誘電体膜9のパターンニングは、以下のように設定されるリッジ部Rおよびリッジサポート部RSの形状に応じて行われる。

【0052】

以下、リッジ部Rおよびリッジサポート部RSの形状について説明する。以下の説明（後述の第2の実施の形態を含む。）においては、図3（a）に示すように、p型AlGaInP第2クラッド層6、p型GaInP中間層7およびp型GaAsコンタクト層8からなるリッジ部Rの下端部の幅をリッジ幅WRと定義し、リッジサポート部RSの下端部の幅をサポート領域幅WSと定義する。

【0053】

さらに、本実施の形態に係る半導体レーザ素子（チップ）の幅（n型GaAs基板1の幅）をチップ幅Lと定義し、リッジ部Rと両側のリッジサポート部RSとの間の間隔、すなわち、リッジ部Rの下端部とリッジサポート部RSの下端部との間の距離をリッジ間隔WBと定義する。

【0054】

また、図3（b）に示すように、作製された半導体レーザ素子において、リッジ部Rおよびリッジサポート部RS間で形成されるp型オーミック電極12のくぼみを電極溝部Gと定義する。

【0055】

本実施の形態において、リッジ幅WR、サポート領域幅WS、リッジ間隔WBおよびチップ幅Lは、互いに次式を満たすように形成される。

【0056】

$$L \geq 2WS + WR + 2WB \quad \dots (1)$$

例えば、チップ幅Lは $300 \mu\text{m}$ であり、サポート領域幅WSは $50 \mu\text{m}$ であり、リッジ幅WRは $2.5 \mu\text{m}$ であり、リッジ間隔WBは $50 \mu\text{m}$ である。この場合、上式（1）の右辺が $102.5 \mu\text{m}$ となるので条件が満たされる。

【0057】

ここで、上記リッジ間隔WBは、 $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下に設定されることが好ましい。リッジ間隔WBが $20 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下に設定されることが好ましい理由について説明する。

【0058】

リッジ間隔WBが $20 \mu\text{m}$ 以上であることが好ましい理由は下記実験により得られた図4のグラフに基づく。

【0059】

本発明者は、図2（e）のブロック層形成工程において、n型AlInP電流ブロック層11がSiO₂誘電体膜9上に回り込むように成長したり、SiO₂誘電体膜9上でポリ成長（多結晶成長）することにより半導体レーザ素子の動作電圧が変化することに着目し、下記実験を行った。

【0060】

初めに、上記図1（a）～（c）および図2（d）～（f）の工程に沿って、段階的に図3のリッジ間隔WBを変更しつつ複数の半導体レーザ素子を作製した。複数の半導体レーザ素子のリッジ間隔WBは、 $5 \mu\text{m}$ から $50 \mu\text{m}$ まで $5 \mu\text{m}$ ピッチで設定した。なお、作製された複数の半導体レーザ素子において、チップ幅Lは $300 \mu\text{m}$ であり、サポート領域幅WSは $50 \mu\text{m}$ であり、リッジ幅WRは $2.5 \mu\text{m}$ である。

【0061】

その後、作製された複数の半導体レーザ素子について、 40mA の電流を流したときの動作電圧を測定した。

【0062】

図4は、図3のリッジ間隔WBが図2（f）の半導体レーザ素子の動作電圧に及ぼす影響を示すグラフである。

【0063】

図4によれば、半導体レーザ素子の動作電圧は、リッジ間隔WBが $5 \mu\text{m}$ から $20 \mu\text{m}$ までの範囲で大きくなるにつれて急激に減少している。すなわち、リッジ間隔WBが $5 \mu\text{m}$

mから20 μ mまでの範囲で大きくなるにつれて、半導体レーザ素子の抵抗値が小さくなっている。

【0064】

また、半導体レーザ素子の動作電圧は、リッジ間隔WBが20 μ mから50 μ mまでの範囲で破線BLで示すようにほぼ一定の値となっており、安定している。

【0065】

これにより、リッジ間隔WBを20 μ m以上に設定することで、p型GaAsコンタクト層8上(SiO₂誘電体膜9)へのn型AlInP電流ブロック層11の結晶の付着が低減され、p型GaAsコンタクト層8上(SiO₂誘電体膜9)への結晶の付着に伴う高抵抗化が抑制されることが明らかとなった。したがって、リッジ間隔WBは20 μ m以上であることが好ましい。

【0066】

一方、リッジ間隔WBが100 μ m以下であることが好ましい理由は次の通りである。

【0067】

本実施の形態に係る半導体レーザ素子をジャンクションダウンの構造で組み立てる場合、半導体レーザ素子のp型オーミック電極12がはんだを介してサブマウントまたはヒートシンク上に接続される。

【0068】

ここで、本実施の形態に係る半導体レーザ素子においては、図3(b)に示すように、p型オーミック電極12上に電極溝部Gが形成される。これにより、リッジ間隔WBが100 μ m以上であると、はんだが電極溝部Gに滑らかに回り込まない場合がある。

【0069】

その結果、半導体レーザ素子のp型オーミック電極12とサブマウントまたはヒートシンクとの間に空間が生じ、半導体レーザ素子において発生される熱のサブマウントまたはヒートシンクへの放熱が十分に行われなくなる。したがって、リッジ間隔WBは100 μ m以下であることが好ましい。

【0070】

以上、本実施の形態に係る半導体レーザ素子においては、リッジ間隔WBが20 μ m以上100 μ m以下に設定される。これにより、リッジ部R側面、リッジサポート部RSの外表面およびp型AlGaInP第1クラッド層5上へのn型AlInP電流ブロック層11の形成時に、SiO₂誘電体膜9上へAl成分を有するn型AlInP電流ブロック層11が回り込んで成長したり、ポリ成長したりすることが抑制される。

【0071】

それにより、p型GaAsコンタクト層8上(SiO₂誘電体膜9)へのn型AlInP電流ブロック層11の結晶の付着が低減され、p型GaAsコンタクト層8上(SiO₂誘電体膜9)へのn型AlInP電流ブロック層11の付着に伴う高抵抗化が抑制される。その結果、高抵抗化が抑制されるとともに、半導体レーザ素子の電圧上昇が抑制される。したがって、半導体レーザ素子の使用時における消費電力の低コスト化が実現される。

【0072】

また、本実施の形態ではリッジ間隔WBの幅を20 μ m以上100 μ m以下の範囲とすることにより構成を複雑化することなく高抵抗化が抑制されている。

【0073】

さらに、本実施の形態に係る半導体レーザ素子はリッジ間隔WBの幅が100 μ m以下であることにより、ジャンクションダウンの構造の組み立てにおいて、安定かつ確実に所定の取り付け面に取り付けることができる。

【0074】

第1の実施の形態において、n型GaAs基板1、n型GaInPバッファ層2、n型AlGaInPクラッド層3、MQW活性層4、p型AlGaInP第1クラッド層5、p型AlGaInP第2クラッド層6、p型GaInP中間層7、p型GaAsコンタク

ト層 8、 SiO_2 誘電体膜 9、n 型 AlInP 電流ブロック層 11、p 型オーミック電極 12 および n 型オーミック電極 13 の各々の厚みは上記に限定されない。

【0075】

また、上記各層の材料に限定はなく、各層の構造もリッジ部 R を有する半導体レーザ素子であって、半導体レーザ素子の組み立てがジャンクションダウン構造となるものであればよい。

【0076】

(第 2 の実施の形態)

第 2 の実施の形態に係る半導体レーザ素子は、以下の点を除き第 1 の実施の形態に係る半導体レーザ素子と同様の構成を有する。第 2 の実施の形態に係る半導体レーザ素子の構造および製造方法について図 5 に基づき説明する。

【0077】

図 5 は、第 2 の実施の形態に係る AlGaInP 系半導体レーザ素子の構造および製造方法を示す模式的断面図である。

【0078】

第 2 の実施の形態に係る半導体レーザ素子は、次のように作製される。

【0079】

初めに、第 1 の実施の形態における多層基板形成工程、マスク形成工程およびリッジ形成工程と同様の手順で図 1 (c) の基板作製状態を得る。

【0080】

次いで、本実施の形態ではリッジサポート部 RS 上の SiO_2 誘電体膜 9 を除去することなく、n 型 AlInP 電流ブロック層 11 の形成を行う。

【0081】

図 5 (d) に示すように、リッジ部 R およびリッジサポート部 RS 上の SiO_2 誘電体膜 9 を選択成長用マスクとして、例えば MOCVD 法により p 型 AlGaInP 第 1 クラッド層 5、リッジサポート部 RS の側面およびリッジ部 R の側面に、厚さ $0.3 \mu\text{m}$ の n 型 AlInP 電流ブロック層 11 を形成する。ここで、n 型 AlInP 電流ブロック層 11 はリッジ部 R およびリッジサポート部 RS 上の SiO_2 誘電体膜 9 により選択的に結晶成長する (ブロック層形成工程)。

【0082】

上記の n 型 AlInP 電流ブロック層 11 の結晶成長の条件として、成長温度は 600°C 以上 700°C 以下であることが好ましく、成長圧力は 50 Torr 以上 100 Torr 以下であることが好ましい。

【0083】

最後に、図 5 (e) に示すように、エッチングによりリッジ部 R 上の SiO_2 誘電体膜 9 を除去し、スパッタ法、真空蒸着法または電子線ビーム蒸着法等により、リッジ部 R 上端の p 型 GaAs コンタクト層 8 上、n 型 AlInP 電流ブロック層 11 上および SiO_2 誘電体膜 9 上の所定の領域に p 型オーミック電極 12 を形成する。

【0084】

さらに、n 型 GaAs 基板 1 の下面にスパッタ法、真空蒸着法または電子線ビーム蒸着法等により n 型オーミック電極 13 を形成する (電極形成工程)。

【0085】

これにより、第 1 の実施の形態に係る半導体レーザ素子が完成する。

【0086】

このように得られた半導体レーザ素子においては、p 型オーミック電極 12 および n 型オーミック電極 13 に電圧を印加することにより n 型 AlGaInP クラッド層 3 から MQW 活性層 4 に電子が注入され、p 型 AlGaInP 第 1 クラッド層 5 から MQW 活性層 4 に正孔が注入される。その結果、MQW 活性層 4 から赤色のレーザ光が発生される。

【0087】

ここで、第 2 の実施の形態においても、上記リッジ間隔 WB は、 $20 \mu\text{m}$ 以上 $100 \mu\text{m}$

m以下に設定されることが好ましい。リッジ間隔WBが $20\mu\text{m}$ 以上 $100\mu\text{m}$ 以下に設定されることが好ましい理由は第1の実施の形態と同様である。

【0088】

以上、本実施の形態に係る半導体レーザ素子においては、リッジ間隔WBが $20\mu\text{m}$ 以上 $100\mu\text{m}$ 以下に設定されるので、リッジ部R側面、リッジサポート部RS側面およびp型AlGaInP第1クラッド層5上へのn型AlInP電流ブロック層11の形成時に、SiO₂誘電体膜9上へAl成分を有するn型AlInP電流ブロック層11が回り込んで成長したり、ポリ成長したりすることが抑制される。

【0089】

それにより、p型GaAsコンタクト層8上(SiO₂誘電体膜9)へのn型AlInP電流ブロック層11の結晶の付着が低減され、p型GaAsコンタクト層8上(SiO₂誘電体膜9)へのn型AlInP電流ブロック層11の付着に伴う高抵抗化が抑制される。その結果、高抵抗化が抑制されるとともに、半導体レーザ素子の電圧上昇が抑制される。したがって、半導体レーザ素子の使用時における消費電力の低コスト化が実現される。

【0090】

また、本実施の形態ではリッジ間隔WBの幅を $20\mu\text{m}$ 以上 $100\mu\text{m}$ 以下の範囲とすることにより組成を複雑化することなく高抵抗化が抑制されている。

【0091】

さらに、本実施の形態に係る半導体レーザ素子はリッジ間隔WBの幅が $100\mu\text{m}$ 以下であることにより、ジャンクションダウンの構造の組み立てにおいて、安定かつ確実に所定の取り付け面に取り付けることができる。

【0092】

以上、第1および第2の実施の形態においては、MQW活性層4は活性層に相当し、n型GaAs基板1、n型GaInPバッファ層2、n型AlGaInPクラッド層3、MQW活性層4およびp型AlGaInP第1クラッド層5からなる層は第1の半導体層に相当し、p型AlGaInP第2クラッド層6、p型GaInP中間層7およびp型GaAsコンタクト層8からなる層は第2の半導体層に相当する。

【0093】

また、SiO₂誘電体膜9は誘電体マスクに相当し、リッジ部Rはリッジ部に相当し、リッジサポート部RSは凸部に相当し、n型AlInP電流ブロック層11は電流ブロック層に相当し、リッジ間隔WBはリッジ部の下端と凸部の下端との間隔に相当する。

【産業上の利用可能性】

【0094】

本発明に係る半導体レーザ素子は、CD-R（コンパクトディスクレコードダブル）ドライブ、MO（マグネットオプティック）ドライブ、DVD（デジタルバーサタイルディスク）ドライブ等の光学式記録媒体駆動装置その他の光学装置の光源等に利用可能である。

【図面の簡単な説明】

【0095】

【図1】第1の実施の形態に係るAlGaInP系半導体レーザ素子の構造および製造方法を示す模式的断面図である。

【図2】第1の実施の形態に係るAlGaInP系半導体レーザ素子の構造および製造方法を示す模式的断面図である。

【図3】第1の実施の形態の説明で用いられる各種寸法を定義するための図である。

【図4】図3のリッジ間隔が図2(f)の半導体レーザ素子の動作電圧に及ぼす影響を示すグラフである。

【図5】第2の実施の形態に係るAlGaInP系半導体レーザ素子の構造および製造方法を示す模式的断面図である。

【図6】従来の半導体レーザ素子の作製時における問題を説明するための図である。

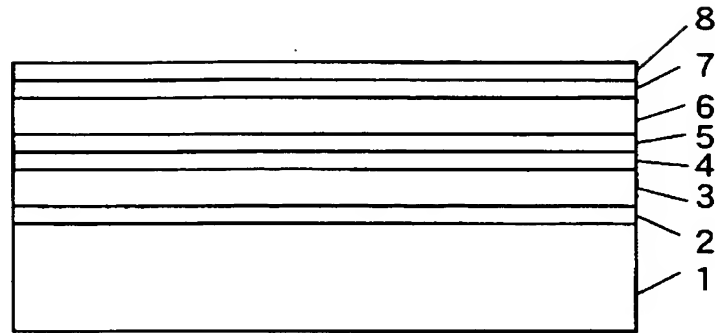
【符号の説明】

【0096】

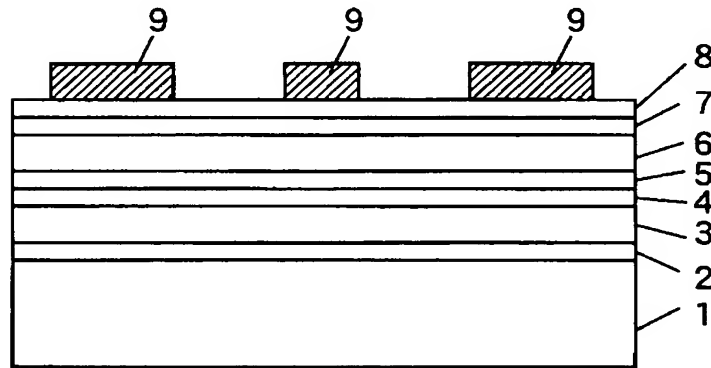
- 1 n型GaAs基板
- 2 n型GaInPバッファ層
- 3 n型AlGaInPクラッド層
- 4 MQW活性層
- 5 p型AlGaInP第1クラッド層
- 6 p型AlGaInP第2クラッド層
- 7 p型GaInP中間層
- 8 p型GaAsコンタクト層
- 9 SiO₂ 誘電体膜
- 11 n型AlInP電流ブロック層
- R リッジ部
- RS リッジサポート部
- WB リッジ間隔

【書類名】 図面
【図 1】

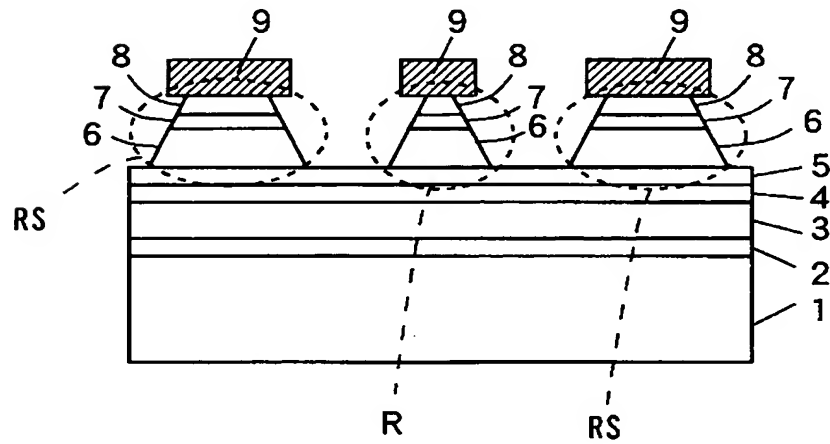
(a)



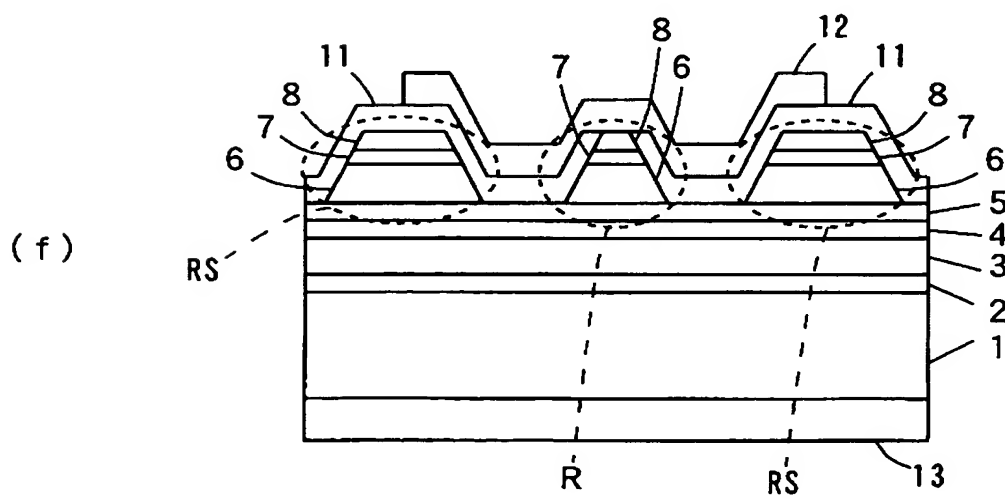
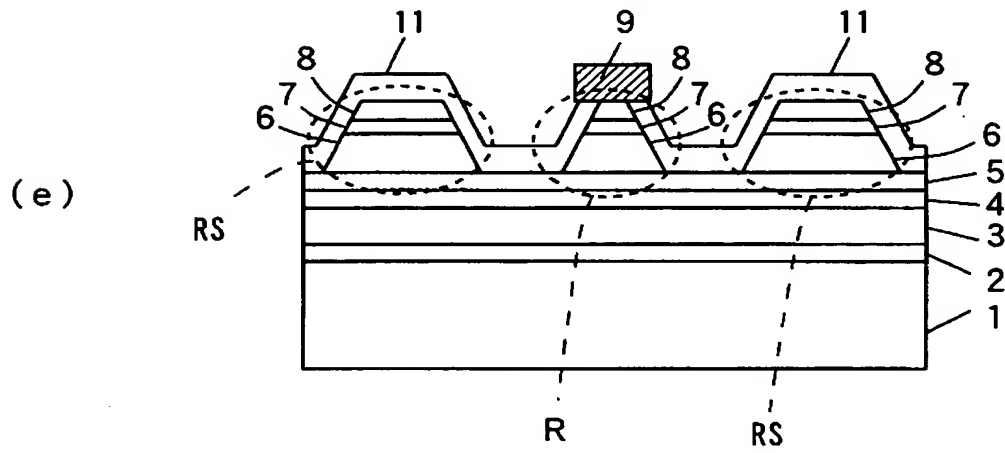
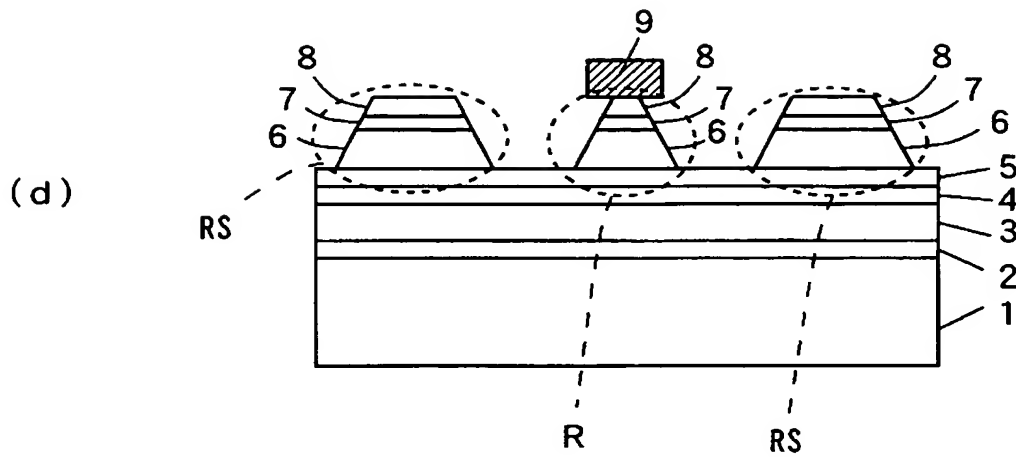
(b)



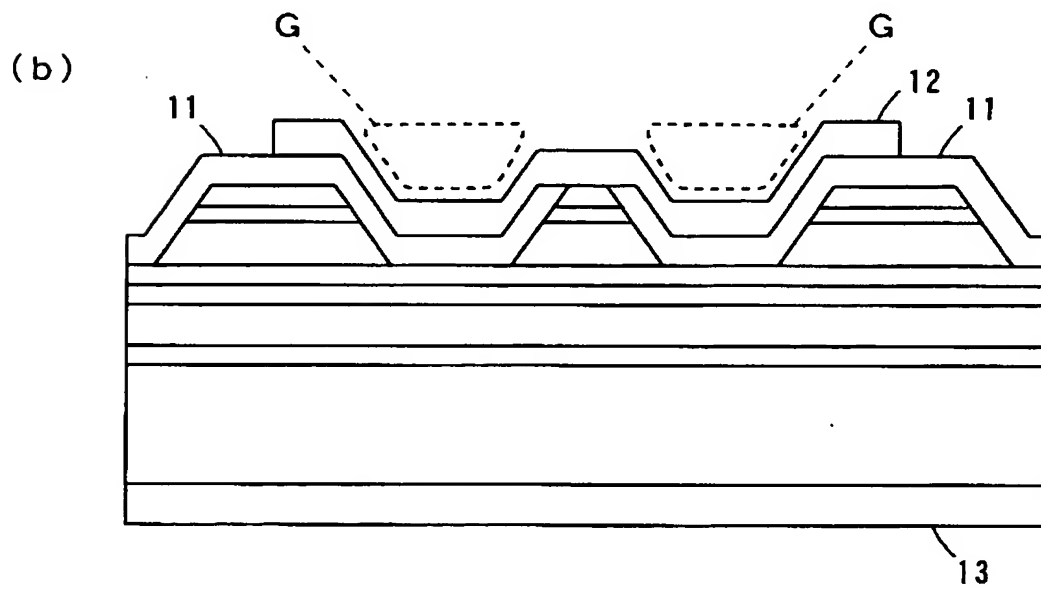
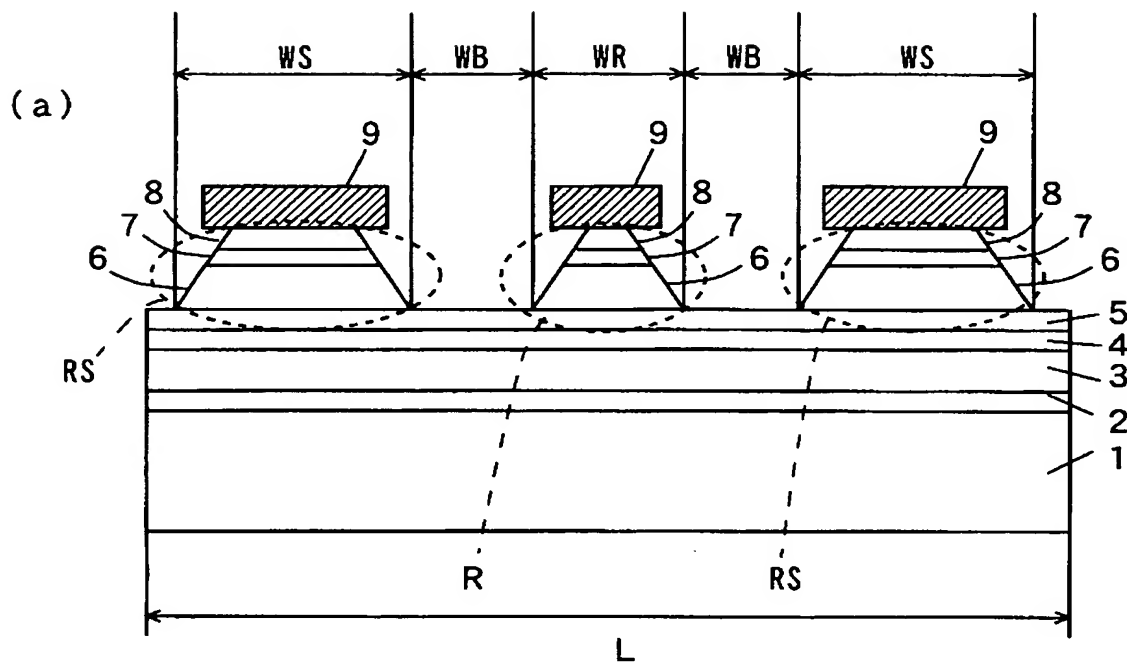
(c)



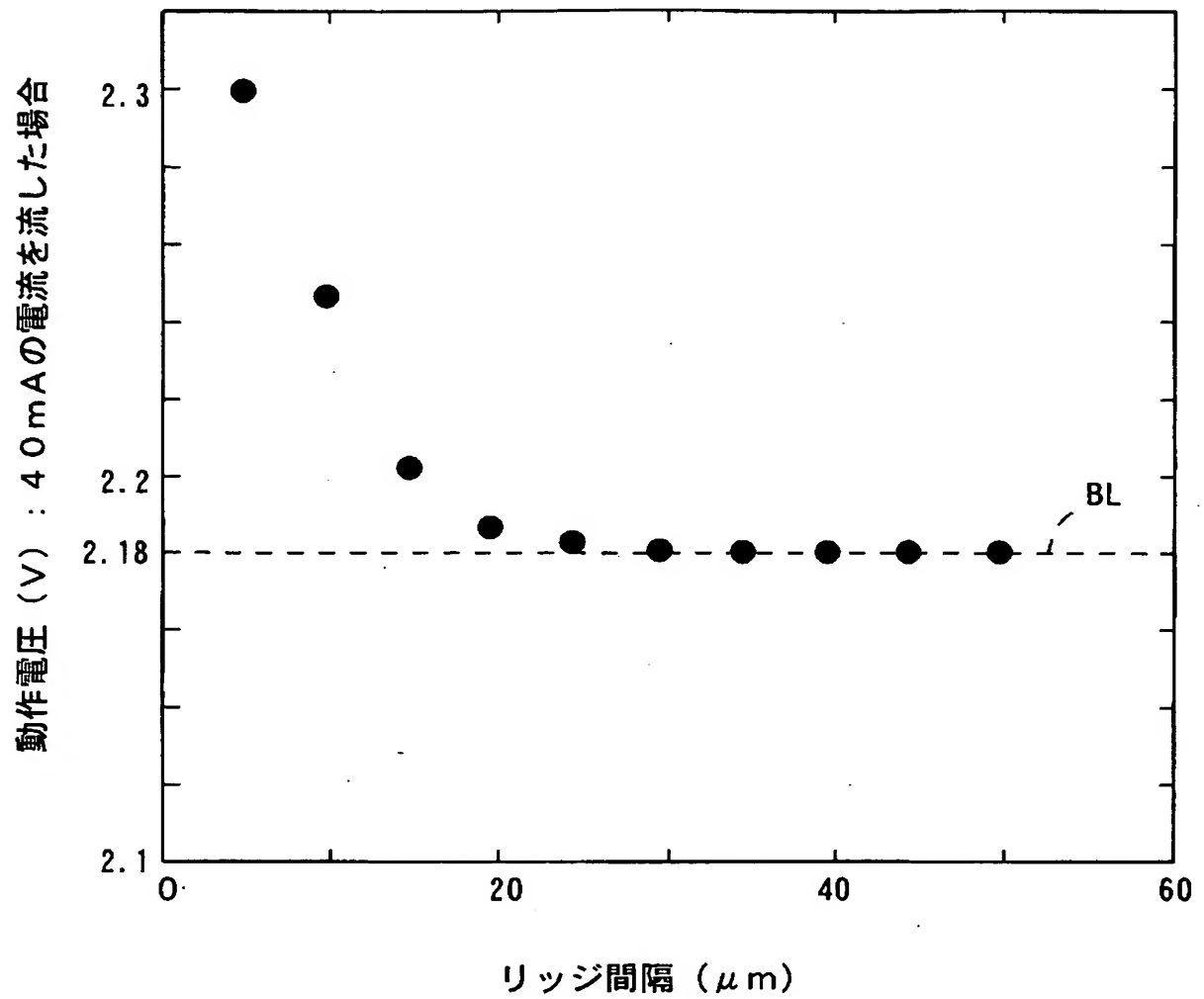
【図 2】



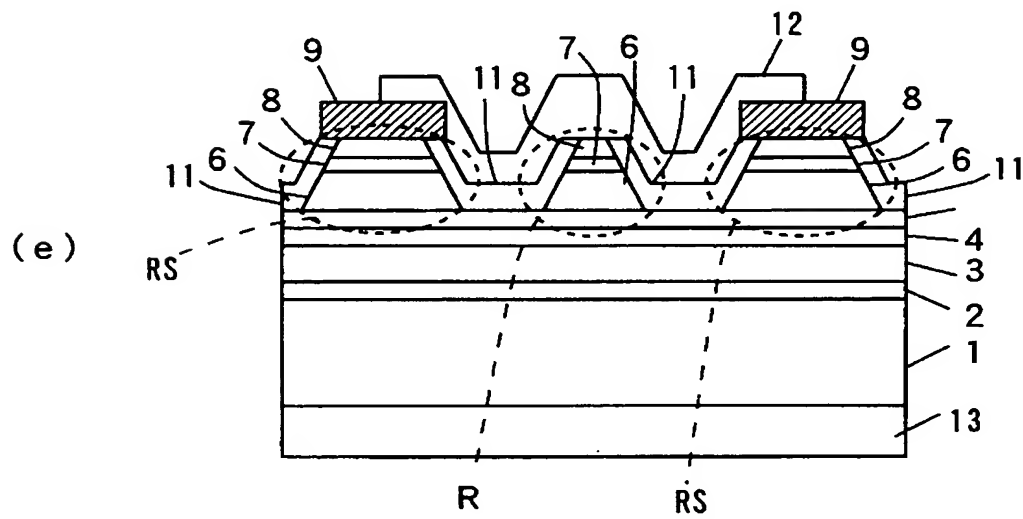
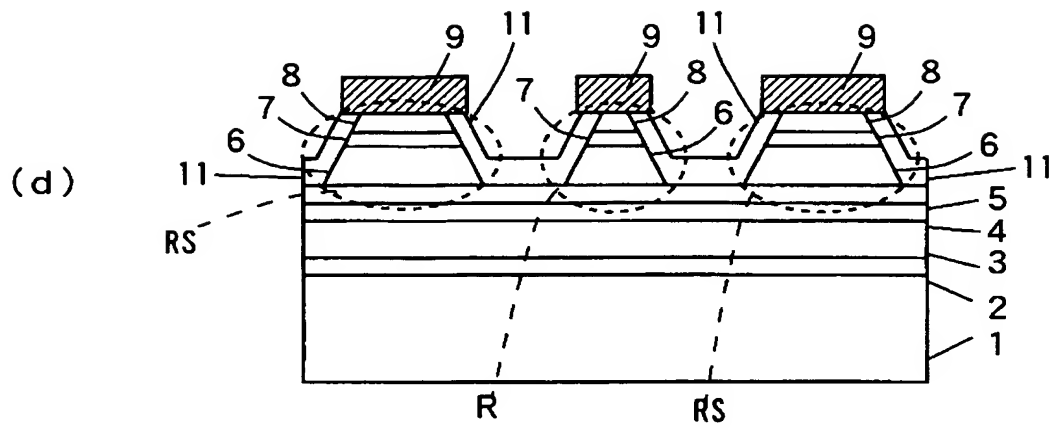
【図 3】



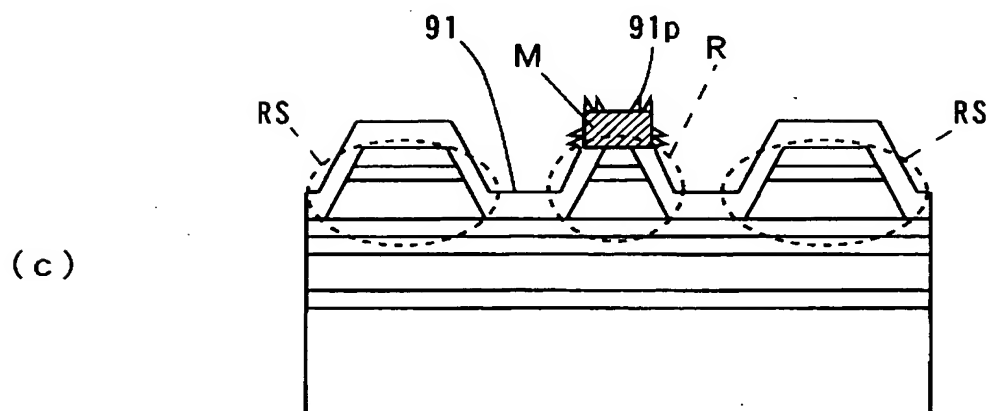
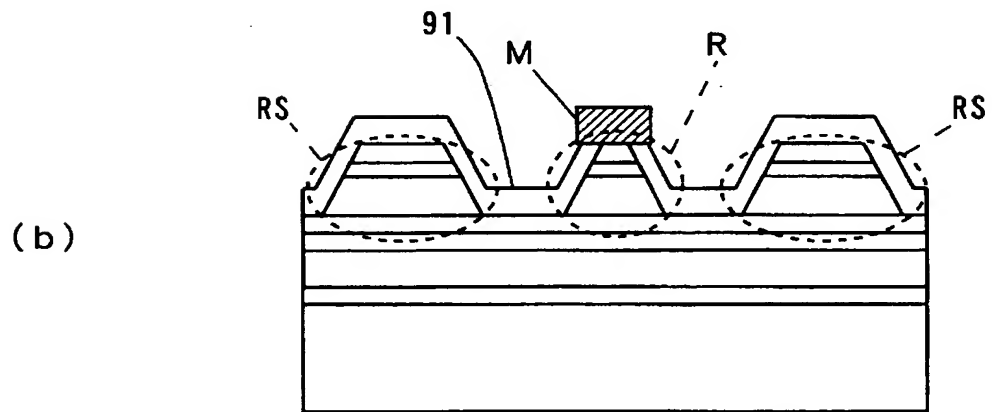
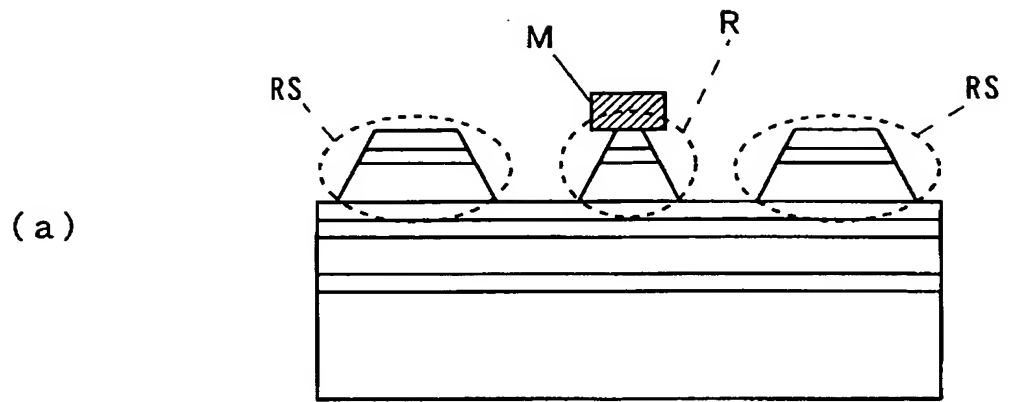
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 簡単な構成で、高抵抗化を抑制しつつリッジ部側の電極を安定かつ確実に所定の取り付け面に取り付けることができる半導体レーザ素子およびその製造方法を提供する。

【解決手段】 n型GaAs基板1上に、n型GaInPバッファ層2、n型AlGaInPクラッド層3、MQW活性層4、p型AlGaInP第1クラッド層5、p型AlGaInP第2クラッド層6、p型GaInP中間層7およびp型GaAsコンタクト層8を順に形成し、p型GaAsコンタクト層8上にSiO₂誘電体膜9からなるマスクを形成する。マスクを介してp型GaAsコンタクト層8、p型GaInP中間層7およびp型AlGaInP第2クラッド層6の所定領域を選択的にエッチングし、ストライプ状のリッジ部Rおよびリッジサポート部RSを形成する。リッジ部Rとリッジサポート部RSとの間の間隔は20 μ m以上100 μ m以下である。

【選択図】 図1

特願 2 0 0 3 - 3 3 7 8 7 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社